

© EPODOC / EPO

PN - JP8153060 A 19960611
 PD - 1996-06-11
 PR - JP19940295266 19941129
 OPD - 1994-11-29
 TI - PICTURE DATA PROCESSOR
 AB - PURPOSE: To improve the operation efficiency of CPU by preventing the input of a next DMA request signal to a direct memory access controller(DMAC) during the clocking period of a specified period thereby assuring the time for enabling the CPU to surely operate in spite of the generation of an DMA request. CONSTITUTION: This processor is obtained by adding a DMA delay auxiliary circuit 20 to a facsimile equipment and the DMA delay auxiliary circuit 20 is connected to the CPU 1 through the bus line 13. Then, the DMA request signal from an encoding circuit 9 is outputted to DMC 10 as the DMA request signal through the DMA delay auxiliary circuit 20. In this constitution, wherever the input of the DMA request signal to DMAC 10 is detected by a request signal detection means, a clocking means clocks the specified time which is not less than the minimum operation assurance time of the processor. Then, during this clocking period, the input of the next DMA request signal is prevented and permitted after the completion of clocking.
 IN - YAMANAKA OAKI
 PA - TEC CORP
 IC - G06F13/28; H04N1/21

© WPI / DERWENT

TI - Image data processor e.g. facsimile - has direct-memory access controller which prevents input of direct memory access signal during clocking period of fixed time which is more than predetermined operation security time of processor
 PR - JP19940295266 19941129
 PN - JP8153060 A 19960611 DW199633 G06F13/28 005pp
 PA - (TODK) TOKYO ELECTRIC CO LTD
 IC - G06F13/28 ;H04N1/21
 AB - J08153060 The processor includes a demand signal detector which determines an input of direct-memory access demand signal (REQD) to a direct memory access controller (10). The DMA delay assistance circuit (20) starts the clocking of a fixed time which is more than a predetermined min. operation security time of the processor.
 - The DMA controller controls input of DMA demand signal during the clocking period of the fixed time. After the fixed time elapses, the controller permits the input of a demand signal.
 - ADVANTAGE - Secures time for reliable operation irrespective of generation period of DMA demand. Improves efficiency of central processor.
 - (Dwg.1/7)
 OPD - 1994-11-29
 AN - 1996-331017 [33]

© PAJ / JPO

PN - JP8153060 A 19960611
 PD - 1996-06-11
 AP - JP19940295266 19941129
 IN - YAMANAKA OAKI
 PA - TEC CORP
 TI - PICTURE DATA PROCESSOR

THIS PAGE BLANK (USPTO)

- AB
- PURPOSE: To improve the operation efficiency of CPU by preventing the input of a next DMA request signal to a direct memory access controller(DMAC) during the clocking period of a specified period thereby assuring the time for enabling the CPU to surely operate in spite of the generation of an DMA request.
 - CONSTITUTION: This processor is obtained by adding a DMA delay auxiliary circuit 20 to a facsimile equipment and the DMA delay auxiliary circuit 20 is connected to the CPU 1 through the bus line 13. Then, the DMA request signal from an encoding circuit 9 is outputted to DMC 10 as the DMA request signal through the DMA delay auxiliary circuit 20. In this constitution, wherever the input of the DMA request signal to DMAC 10 is detected by a request signal detection means, a clocking means clocks the specified time which is not less than the minimum operation assurance time of the processor. Then, during this clocking period, the input of the next DMA request signal is prevented and permitted after the completion of clocking.
- I
- G06F13/28 ;H04N1/21

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-153060

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.⁶

G 0 6 F 13/28

識別記号

3 1 0 E

庁内整理番号

9172-5E

F I

技術表示箇所

Y 9172-5E

H 0 4 N 1/21

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-295266

(22) 出願日 平成6年(1994)11月29日

(71) 出願人 000003562

株式会社テック

静岡県田方郡大仁町大仁570番地

(72) 発明者 山中 大明

静岡県三島市南町6番78号 株式会社テック

三島工場内

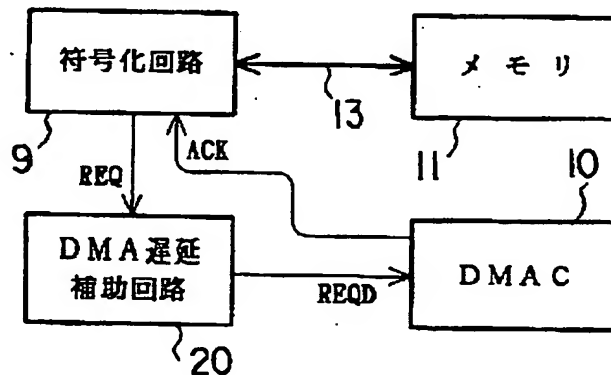
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 画像データ処理装置

(57) 【要約】

【目的】 DMA要求の発生周期に拘らずCPUが確実に動作できる時間を保障し、CPUの動作効率向上を図る。

【構成】 符号化回路9からDMAC10へのDMA要求信号REQの信号経路にDMA遅延補助回路20を介在させる。このDMA遅延補助回路20はDMA要求信号REQが入力されたことに基づいて予め設定されたCPUの最低動作保障時間以上の一定時間の計時を開始し、この計時期間中は次なるDMA要求信号の入力を阻止し、計時終了後に入力を許可する。



(2)

特開平8-153060

1

【特許請求の範囲】

【請求項1】 装置内部での画像データ転送をダイレクト・メモリ・アクセス・コントローラの制御下でプロセッサをバス開放して行う画像データ処理装置において、前記ダイレクト・メモリ・アクセス・コントローラに対するダイレクト・メモリ・アクセス要求信号の入力を検出する要求信号検出手段と、この検出手段により検出された前記ダイレクト・メモリ・アクセス要求信号に基づいて前記プロセッサの最低動作保障時間以上の一定時間の計時を開始する計時手段と、この計時手段による一定時間の計時期間中は前記ダイレクト・メモリ・アクセス・コントローラに対する次なるダイレクト・メモリ・アクセス要求信号の入力を阻止し、計時終了後に入力を許可する要求信号制御手段とを具備したことを特徴とする画像データ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、装置内部での画像データ転送をダイレクト・メモリ・アクセス・コントローラ（以下、DMACと略称する）の制御下で行うファクシミリ装置等の画像データ処理装置に関する。

【0002】

【従来の技術】例えばファクシミリ装置では、画像データ（符号化データ及び2値データ）にダイレクト・メモリ・アクセス（以下、DMAと略称する）制御を適用することが一般的である。このため、割込みやソフトウェアで1ワードあるいは1バイト単位に画像データを転送することはほとんどなく、DMACによるDMA制御をハードウェアによって実現している。その従来例を図7に示す。

【0003】図7において、1はファクシミリ装置の制御部本体を構成するプロセッサとしてのCPU、2は電話回線との接続を制御する網制御装置、3は前記CPU1と前記網制御装置2との間でデータの変復調変換を行うモデム、4は原稿の画像を読取るCCD等からなる画像読取部、5は前記画像読取部4にて読取られたアナログ画像をデジタル処理する画像処理部、6は2値データに基づいて記録紙に画像印刷するレーザビームプリンタ、7は前記レーザビームプリンタ6の駆動を制御するプリンタコントローラ、8は2値データが展開される画像メモリ、9は2値データの符号化変換及び符号化データの2値化変換を行う符号化回路、10は4ch（チャンネル）仕様のDMAC、11はDRAM（ダイナミックRAM）等のメモリ、12はタイミング回路、デコーダ、I/Oポート等のその他の回路である。

【0004】前記CPU1と、モデム3、画像処理部5、プリンタコントローラ7、符号化回路9、メモリ11及びその他の回路12とは、アドレスバス、データバス、制御バスの各バスライン13で接続されている。このファクシミリ装置は、通信中の通信予約が可能なデ

2

アルアクセス仕様を有する装置である。

【0005】しかし、DMAC10は、DMAch“0”を画像処理部5からメモリ11への2値データ転送に使用し、DMAch“1”をモデム3とメモリ11との間の符号化データ転送に使用し、DMAch“2”を符号化回路9とメモリ11との間の符号化データ及び2値データの転送に使用し、DMAch“3”をメモリ11からプリンタコントローラ7への2値データ転送に使用する。

10 【0006】画像処理部5、モデム3、符号化回路9及びプリンタコントローラ7は、画像データの転送を行う場合にそれぞれDMAC10にDMA要求信号を送出する。DMAC10は、DMA要求信号を受けると、CPU1に対してバス開放させて、該当するDMAチャネルのDMA制御によるデータ転送を実施する。

【0007】ここで、各DMAchのDMA要求信号の発生頻度は、画像データをバイト転送する場合、以下の通りである。先ず、画像処理部5からDMAch“0”の使用を要求するDMA要求信号は、画像処理速度が1Mbpsのとき約8 μ sに1回発生する。モデム3からDMAch“1”の使用を要求するDMA要求信号は、9600bpsで833 μ sに1回発生する。符号化回路9からDMAch“2”の使用を要求するDMA要求信号は、符号化データ量によって代る。すなわち、符号化データ量が少ないときには符号化回路9の処理時間が短いので早いときは数 μ s（10 μ s以下）に1回発生する。プリンタコントローラ7からDMAch“3”の使用を要求するDMA要求信号は、レーザプリンタ6が4ppmレーザプリンタのとき、約40 μ sに1回発生する。

30 【0008】ここで、符号化回路9とDMAC10との間の接続信号線図を図5に示し、各信号のタイミング図を図6に示す。図5に示すように、符号化回路9とDMAC10との間は、符号化回路9からDMAC10へのDMA要求信号REQの信号線14と、DMAC10から符号化回路9への許諾応答信号ACKの信号線15とによって接続されている。DMA要求信号REQはハイレベルになるとアサートしてDMA要求を行う。許諾応答信号ACKはハイレベルになるとアサートしてDMA制御の許諾応答を行う。

40 【0009】DMAC10は、DMA要求信号REQのアサートを検知すると直ちに許諾応答信号ACKをDMA制御期間AだけアサートするとともにCPU1に対してバス開放させてDMA制御によるデータ転送を実施する。従って、DMA制御によるデータ転送期間A中はCPU1は動作できない。換言すれば、CPU1は許諾応答信号ACKがネゲートされてから次のDMA要求信号REQにより許諾応答信号ACKがアサートされるまでの期間Bだけ動作可能になる。

【0010】

50 【発明が解決しようとする課題】このように、図7に示

(3)

特開平8-153060

3

4

した従来のファクシミリ装置においては、DMA要求信号の発生周期が最も短くなるのは、符号化データ量が少ないときの符号化回路9からのDMAch“2”の要求信号REQであり、この場合のネグート間隔Xは数 μ sと予想され、このときのCPU1の動作時間も数 μ sとなつてCPU1の動作が保障できなくなる。しかも、このネグート間隔Xが数 μ sとなっている期間中に他のDMAchのDMA制御が発生したならば、CPU1の動作時間はさらに短くなり、CPU1は動作できなくなる。

【0011】このような技術的課題はファクシミリ装置に限らず、他のDMA制御方式を使用した画像データ処理装置にも該当する。本発明は、このような事情に基づいてなされたものであり、その目的とするところは、DMA要求の発生周期に拘らずプロセッサが確実に動作できる時間を保障でき、プロセッサの動作効率向上を図り得る画像データ処理装置を提供しようとするものである。

【0012】

【課題を解決するための手段】本発明は、装置内部での画像データ転送をDMACの制御下でプロセッサをバス開放して行う画像データ処理装置において、DMACに対するDMA要求信号の入力を検出する要求信号検出手段と、この検出手段により検出されたDMA要求信号に基づいてプロセッサの最低動作保障時間以上の一定時間の計時を開始する計時手段と、この計時手段による一定時間の計時期間中はDMACに対する次なるDMA要求信号の入力を阻止し、計時終了後に入力を許可する要求信号制御手段とを備えたものである。

【0013】

【作用】このような構成の本発明であれば、DMACに対するDMA要求信号の入力が要求信号検出手段によって検出される毎に、計時手段によってプロセッサの最低動作保障時間以上の一定時間が計時される。そして、この計時期間中は次なるDMA要求信号の入力が阻止され、計時終了後に入力が許可される。従つて、仮にプロセッサの最低動作保障時間よりも短い周期でDMA要求信号が発生しても、DMACに入力されるDMA要求信号の時間間隔は前記最低動作保障時間以上の時間間隔になる。

【0014】

【実施例】以下、本発明を従来例で説明したファクシミリ装置に適用した一実施例について図1乃至図4を参照しながら説明する。なお図5乃至図7と同一部分には同一符号を付して詳しい説明を省略する。

【0015】図1はこの実施例におけるファクシミリ装置の概略構成を示すブロック図である。すなわち、この実施例におけるファクシミリ装置は、図7にて示した従来のこの種ファクシミリ装置にDMA遅延補助回路20を付加したものであり、DMA遅延補助回路20はCPU1とバスライン13を介して接続されている。

【0016】そして、図2に示すように、符号化回路9からのDMA要求信号REQが前記DMA遅延補助回路20を通して実DMA要求信号REQDとしてDMAC10に出力されるようになっている。

【0017】図3は前記DMA遅延補助回路20の要部構成を示すブロック図であつて、符号化回路9からのDMA要求信号REQは、マスクゲート21及びロード生成回路22に入力されるようになっている。また、予めCPU1からレジスタ23に該CPU1の最低動作保障時間以上の一定時間データTがセットされている。

【0018】前記マスクゲート21は、通常は開放しており、DMA要求信号REQはリアルタイムで実DMA要求信号REQDとしてDMAC10に出力されるようになっている。

【0019】前記ロード生成回路22は、DMA要求信号REQの立下がりを検知するとタイマ24にロード信号RDを送出すると同時に前記マスクゲート21に閉塞信号CLを送出する。前記マスクゲート21は閉塞信号CLが入力されると実DMA要求信号REQDの出力を阻止する。

【0020】前記タイマ24は、前記ロード信号RDの入力に応じて前記レジスタ23にセットされている時間データTを読込み、計時を開始する。そして、時間データTの計時を完了するとタイムアップ信号TUをタイマ検出回路25に送出する。因みに、このタイマ24は、4ビット、タイマー周波数500KHzのタイマであり、分解能2 μ Sで0~16 μ Sまで計時可能である。

【0021】前記タイマ検出回路25は、前記タイマ24からのタイムアップ信号TUの入力に応じて前記マスクゲート21に開放信号OPを送出する。前記マスクゲート21は開放信号OPが入力されると実DMA要求信号REQDの出力を許可する。

【0022】ここに、ロード生成回路22はDMAC10に対するDMA要求信号REQの入力を検出する要求信号検出手段として機能し、タイマ24は前記要求信号検出手段（ロード生成回路22）によりDMA要求信号REQの入力が検出されたことに依つてCPU1の最低動作保障時間以上の一定時間の計時を開始する計時手段として機能し、マスクゲート21は計時手段（タイマ24）による一定時間の計時期間中はDMAC10に対する次なるDMA要求信号REQの入力を阻止し、計時終了後に入力を許可する要求信号制御手段として機能する。

【0023】次に、このような構成のDMA遅延補助回路20の動作について図4の信号波形図を用いて説明する。始めに、マスクゲート21は開放しているものとする。この状態で、時点t0にて符号化回路9からのDMA要求信号REQがアサートされると、マスクゲート21の出力となる実DMA要求信号REQDもアサートされる。これにより、時点t1にてDMAC10から符号

(4)

特開平8-153060

5

化回路9への許諾応答信号ACKがアサートされて、DMA制御による符号化回路9とメモリ11との間の画像データ(1バイト)転送が処理される。また、許諾応答信号ACKがアサートされた時点t1にてDMA要求信号REQがネゲートされ、実DMA要求信号REQDもネゲートされる。許諾応答信号ACKはDMA制御によるデータ転送期間A経過後の時点t2にてネゲートされる。

【0024】このとき、DMA遅延補助回路20においては、時点t1におけるDMA要求信号REQの立ち下がり10に同期して、ロード生成回路22からタイマ24にロード信号RDが送出されるとともにマスクゲート21に閉塞信号CLが送出される。これにより、タイマ24はレジスタ23にセットされている時間データTをロードして計時を開始する。また、マスクゲート21は閉塞され、実DMA要求信号REQDの出力が阻止される。

【0025】従って、仮にDMA要求信号REQがネゲートされてから時間データTよりも短い時間X後の時点t3に再びDMA要求信号REQがアサートされても、実DMA要求信号REQDはネゲートされたままである。20

【0026】その後、時点t4にてタイマ24が時間データTの計時を完了し、タイムアップ信号TUがタイマ検出回路25に送出されると、タイマ検出回路25からマスクゲート21に開放信号OPが送出される。これにより、マスクゲート21が開放される。このときDMA要求信号REQはアサートされているので、実DMA要求信号REQDもアサートされる。これにより、時点t5にて許諾応答信号ACKがアサートされて、DMA制御による符号化回路9とメモリ11との間の画像データ30(1バイト)転送が処理される。

【0027】このように、本実施例によれば、符号化回路9からDMAC10に確実に送出されるDMA要求信号REQの時間間隔XがCPU1の最低動作保障時間以上の一定時間Tよりも短い場合には、DMA遅延補助回路20により先のDMA要求信号REQの立ち下がりから一定時間Tを経過するまではDMAC10への入力が阻止され、一定時間Tを経過後に入力が許可されるので、先のDMA要求信号REQにより許諾応答信号ACKがネゲートされてから次のDMA要求信号REQにより許諾応答信号ACKがアサートされるまでの期間Bは必ず一定時間T以上が保障される。40

【0028】この期間BはCPU1が動作可能な期間である。すなわちCPU1は、該CPU1の最低動作保障時間以上の動作時間が確実に保障されるので、CPU1の動作効率を向上できる。

【0029】なお、DMA遅延保障回路20は簡単な回路で形成することができ、ASIC化すればコストメリットもある。

【0030】なお、本発明はファクシミリ装置に限定さ

6

れるものではなく、装置内部での画像データ転送をDMACの制御下でプロセッサをバス開放して行うその他の画像データ処理装置に適用できるものである。この場合において、最低動作保障時間は16μSを越えることも予想されるが、タイマ24のビット数を増やすかタイマ一入力周波数を高めることで解決でき、回路全体を変更する必要はない。

【0031】また、複数のDMAチャネルにてDMA要求信号の発生周期が最低動作保障時間より短くなるような場合も予想される。このような場合には、それぞれのDMA要求信号をロード生成回路22にて検出し、一方のDMA要求信号を検出する毎にタイマ24を計時動作させてマスクゲート21を閉塞制御すればよい。

【0032】また、前記実施例ではタイマ24による計時開始をDMA要求信号REQの立ち下がり(図4中時点t1)に同期させたが、このDMA要求信号REQに応答してDMAC10から送出される許諾応答信号ACKをDMA遅延補助回路20に入力し、この許諾応答信号ACKの立ち下がり(図4中時点t2)に同期させて時間データTの計時を開始するように回路構成してもよい。この他、本発明の要旨を逸脱しない範囲で種々変形実施可能であるのは勿論である。

【0033】

【発明の効果】以上詳述したように本発明によれば、DMACに対するDMA要求信号の入力に基づいてプロセッサの最低動作保障時間以上の一定時間の計時を開始し、この計時期間中はDMACに対する次なるDMA要求信号の入力を阻止し、計時終了後に入力を許可するようにしたので、DMA要求の発生周期に拘らずプロセッサが確実に動作できる時間を保障でき、プロセッサの動作効率向上を図り得る画像データ処理装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例であるファクシミリ装置の概略ブロック図。

【図2】同実施例における符号化回路とDMACとの間の接続信号線図。

【図3】同実施例におけるDMA遅延補助回路の要部ブロック図。

【図4】同実施例における符号化回路とDMACとの間の主要信号波形図。

【図5】従来例における符号化回路とDMACとの間の接続信号線図。

【図6】同従来例における符号化回路とDMACとの間の主要信号波形図。

【図7】従来例であるファクシミリ装置の概略ブロック図。

【符号の説明】

1…CPU(プロセッサ)

9…符号化回路

REST AVAILABLE COPY

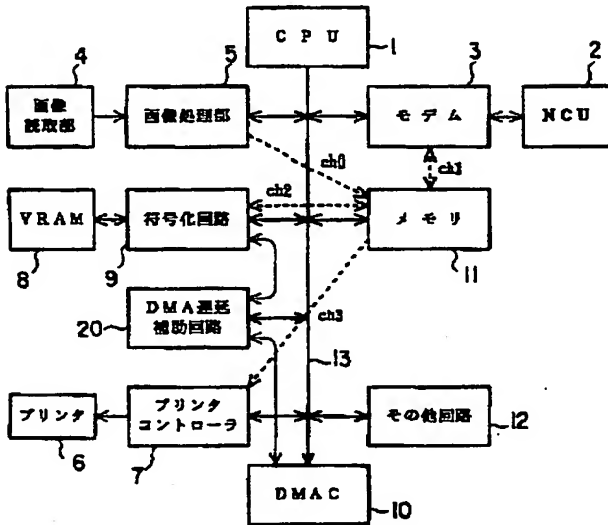
(5)

特開平8-153060

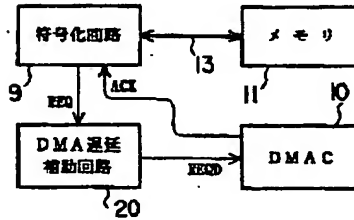
10...DMAC (ダイレクト・メモリ・アクセス・コントローラ)
11...メモリ
20...DMA遅延補助回路
21...マスクゲート (要求信号制御手段)

22...ロード生成回路 (要求信号検出手段)
23...レジスタ
24...タイマ (計時手段)
25...タイマ検出回路

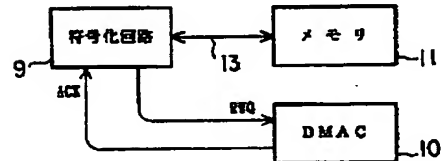
【図1】



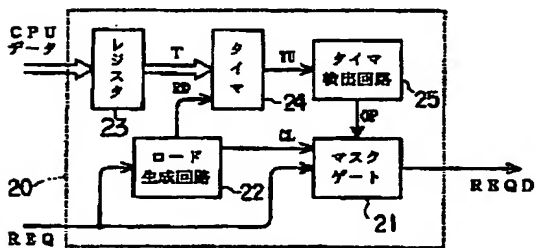
【図2】



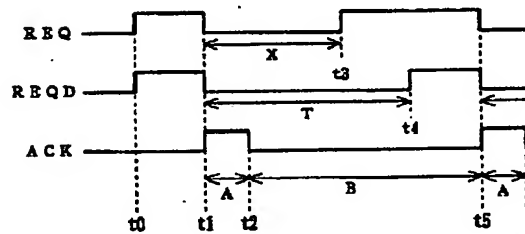
【図5】



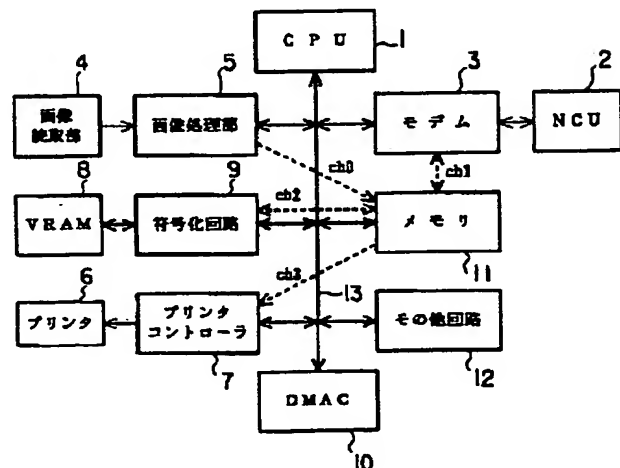
【図3】



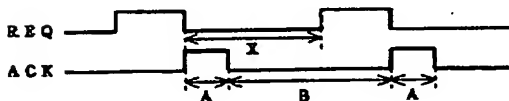
【図4】



【図7】



【図6】



THIS PAGE BLANK (USPTO)